



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06097250 A**(43) Date of publication of application: **08.04.94**

(51) Int. Cl.

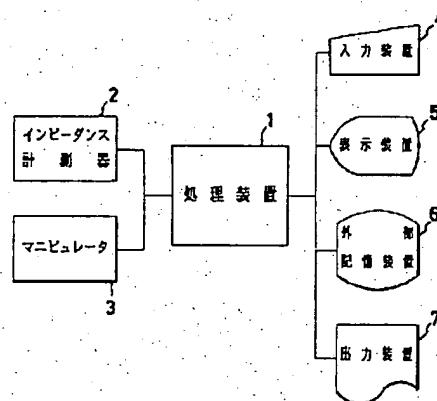
**H01L 21/66
G01R 27/26**(21) Application number: **04245381**(71) Applicant: **HITACHI LTD**(22) Date of filing: **16.09.92**(72) Inventor: **KAGAMI KIYOTAKA
ITO MITSUO**(54) **MEASURING DEVICE FOR SEMICONDUCTOR
JUNCTION CAPACITANCE**

COPYRIGHT: (C)1994,JPO&Japic

(57) Abstract:

PURPOSE: To make it possible to contrive the improvement of reliability and efficiency in a measurement of a semiconductor junction capacitance using a probe.

CONSTITUTION: In a semiconductor junction capacitance measuring device for obtaining a semiconductor wafer of a desired junction capacitance by control of an impurity diffusion time, data obtained by calculations or experiences on a capacitance and a conductance is held being stored in an external storage device 6, the junction capacitance of the wafer is measured using a probe mounted to a manipulator 3 and an impedance instrument 2 and a measurement result obtained by this measurement is compared with data read out from the device 6. Thereby, the good or bad of the state of contact of the probe to a measurement surface is detected by a processor 1 and at the time of the good, a measurement of the junction capacitance is executed.



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06097250 A**

(43) Date of publication of application: **08.04.94**

(51) Int. Cl. **H01L 21/66**
G01R 27/26

(21) Application number: **04245381**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **16.09.92**

(72) Inventor: **KAGAMI KIYOTAKA**
ITO MITSUO

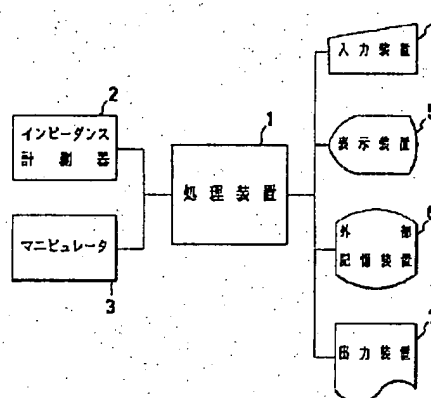
(54) **MEASURING DEVICE FOR SEMICONDUCTOR
JUNCTION CAPACITANCE**

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To make it possible to contrive the improvement of reliability and efficiency in a measurement of a semiconductor junction capacitance using a probe.

CONSTITUTION: In a semiconductor junction capacitance measuring device for obtaining a semiconductor wafer of a desired junction capacitance by control of an impurity diffusion time, data obtained by calculations or experiences on a capacitance and a conductance is held being stored in an external storage device 6, the junction capacitance of the wafer is measured using a probe mounted to a manipulator 3 and an impedance instrument 2 and a measurement result obtained by this measurement is compared with data read out from the device 6. Thereby, the good or bad of the state of contact of the probe to a measurement surface is detected by a processor 1 and at the time of the good, a measurement of the junction capacitance is executed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-97250

(43) 公開日 平成6年(1994)4月8日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	N	7377-4M		
G 0 1 R 27/26	C	8117-2G		

審査請求 未請求 請求項の数3(全 7 頁)

(21) 出願番号 特願平4-245381

(22) 出願日 平成4年(1992)9月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加賀美 清隆

山梨県中巨摩郡竜王町西八幡(番地なし)

株式会社日立製作所甲府工場内

(72) 発明者 伊藤 満夫

山梨県中巨摩郡竜王町西八幡(番地なし)

株式会社日立製作所甲府工場内

(74) 代理人 弁理士 筒井 大和

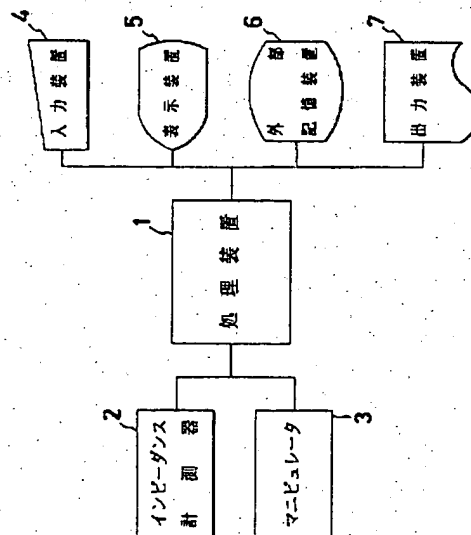
(54) 【発明の名称】 半導体接合容量計測装置

(57) 【要約】

【目的】 探触針を用いた半導体接合容量の計測における信頼性及び効率の向上を図れるようにする。

【構成】 不純物拡散時間の管理により所望の接合容量の半導体ウェハを得る半導体接合容量計測装置であって、キャパシタンス及びコンダクタンスに関して計算または経験により得られたデータを外部記憶装置6に格納しておき、マンピュレータ3に取り付けられた探触針及びインピーダンス計測器2を用いて半導体ウェハ8の接合容量を計測し、これによる計測結果及び外部記憶装置6から読み出したデータとの比較により探触針の計測面への接触状態の可否を処理装置1によって判定し、合のときに接合容量の計測を実行する。

図1



【特許請求の範囲】

【請求項1】 不純物拡散時間の管理により所望の接合容量の半導体ウェハを得る半導体接合容量計測装置であって、キャパシタンス及びコンダクタンスに関して計算または経験により得られたデータが格納される記憶装置と、探触針及びインピーダンス計測器を用いて前記半導体ウェハの接合容量を計測する容量計測手段と、該容量計測手段による計測結果及び前記記憶装置から読み出したデータとの比較により前記探触針の計測面への接触状態の可否を判定し、合のときに接合容量の計測を実行する処理手段とを具備することを特徴とする半導体接合容量計測装置。

【請求項2】 前記処理手段は、探触針による接触不良が判定されたときに設定回数の前記探触針の接触動作を行い、その接触不良が判定されたときに別のチップへ前記探触針を移動させることを特徴とする請求項1記載の半導体接合容量計測装置。

【請求項3】 前記半導体ウェハは、可変容量ダイオード、高周波スイッチングダイオード、またはツェナーダイオードのいずれかであることを特徴とする請求項1記載の半導体接合容量計測装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体ウェハにおける接合容量の計測技術、特に、可変容量ダイオード（バリキャップダイオード）などにおいて不純物拡散により接合容量を形成するために用いて効果のある技術に関するものである。

【0002】

【従来の技術】 バリキャップダイオードなどの半導体ウェハにおける接合容量は、拡散開始時には最大容量を示し、拡散時間が経過するに伴って徐々に低下する特性をもっている。そこで、予め接合容量と不純物拡散時間の関係を把握しておき、得たい容量値の手前から（最初から所望容量値相当の時間まで拡散を行うと、拡散が過大に行われて所望容量より少なくなる恐れがあるため）数回に分けて拡散処理を行い、その都度接合容量を計測し、容量値の確認をとりながら製造を行っている。

【0003】 図5に示すように、拡散工程502は、ホトレジスト工程501と電極形成工程503の間において、初期接合容量の計測、拡散処理、この処理後に行われる計測からなり、拡散処理と計測処理は複数回繰り返される。

【0004】 具体的には、まず、初期接合容量の計測をインピーダンス計測器により行い（ステップ502a）、ついで、得たい容量値の手前の時間 t_1 を算出し、この値を用紙などに記録し、算出した不純物拡散時間 t_1 に基づいて電気炉による拡散が行われる（ステップ502b）。そして、時間 t_1 後に再び接合容量を計測し（ステップ502c）、これに基づいて次の不純物

拡散時間 t_2 を算出し、この算出値に基づいて不純物拡散を開始する。不純物拡散時間 t_2 が経過した後、再び初期接合容量を計測し、3度目の不純物拡散時間 t_3 を算出する。以後、同様にして所望の接合容量値が得られるまで、計4～5回の拡散処理を不純物拡散時間 $t_4 \sim t_5$ を定めることにより実行する。

【0005】 図6は拡散処理の対象となる半導体ウェハ（例えば、可変容量ダイオード、高周波スイッチングダイオード、ツェナーダイオードなど）の断面図を示しており、半導体ウェハ8の表面の一部に不純物濃度をもった接合9が設けられている。

【0006】 この接合9に対し、マニピュレータ3に取り付けられた探触針10の先端が接触して接合容量の計測が行われる。

【0007】 図7は接合容量対不純物拡散時間の関係を示す特性図である。縦軸は接合容量を示し、横軸は不純物拡散時間を示している。図中、Aは初期接合容量値を示し、Bは所望容量値Cより手前の任意接合容量を示し、Dは任意接合容量Bに対応する不純物拡散時間であり、Eは所望容量値Cに到達するまでの不純物拡散時間Dからの不純物拡散時間である。所望容量値Cを得るに際しては、まず、不純物拡散時間Dを算出し、これに続く不純物拡散時間Eを数回分（ $t_1 \sim t_5$ ）に分け、最終的に所望容量値Cを得る。処理装置では不純物拡散時間Eを数回に分けて算出し、この算出結果に基づいて拡散処理を手動により行い、または専用の制御装置を用いて自動により実行する。

【0008】

【発明が解決しようとする課題】 本発明者の検討によれば、探触針により接合容量を計測する場合、計測面に対する接触状態が悪いと正確な計測が行えず、信頼性に劣るという問題がある。

【0009】 この問題について、図8及び図9を用いて説明する。図8は接合容量とバイアス電圧の関係を示す特性図であり、図9はコンダクタンスとバイアス電圧の関係を示す特性図である。接合容量はキャパシタンス成分のみではなく、その等価回路は、キャパシタンスに抵抗分が並列接続された構成になっている。これらに対し、更に直列に抵抗成分が接続された構成の場合もある。

【0010】 ここで、図9の特性aが良好なコンダクタンス対バイアス特性であるとすると、図8のキャパシタンス対バイアス特性bが得られる。そして、コンダクタンス対バイアス特性が図9の特性cのようにシフトした場合には、これに応じてキャパシタンス対バイアス特性は図8の特性dのようになる。ところが、探触針10の接触状態が悪くて抵抗分が増え、コンダクタンス対バイアス特性は図9の特性eのようになり、そのキャパシタンス対バイアス特性は図8の特性fのようになる。このように、探触針10の接触状態により、接合容量は

3

実際とは異なったものになる。

【0011】そこで、本発明の目的は、探触針を用いての接合容量の計測の信頼性及び効率の向上を図ることのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0014】すなわち、不純物拡散時間の管理により所望の接合容量の半導体ウェハを得る半導体接合容量計測装置であって、キャパシタンス及びコンダクタンスに関して計算または経験により得られたデータが格納される記憶装置と、探触針及びインピーダンス計測器を用いて前記半導体ウェハの接合容量を計測する容量計測手段と、該容量計測手段による計測結果及び前記記憶装置から読み出したデータとの比較により前記探触針の計測面への接触状態の可否を判定し、合のときに接合容量の計測を実行する処理手段とを設けるようにしている。

【0015】

【作用】上記した手段によれば、探触針の計測面に対する接触状態がコンダクタンスの変化として現れることに着目し、予め計算または経験により把握したコンダクタンス対バイアス特性の記憶値と、計測値とを比較することにより接触状態の可否を判定する。したがって、計測面に対する探触針の接触を確実に行うことができ、高信頼の計測を効率良く行える結果、生産性の向上及び歩留り向上を図ることができる。

【0016】

【実施例】図1は本発明による半導体接合容量計測装置の構成を示す概略構成図である。

【0017】また、図2は本発明における接合容量計測処理を示すフローチャートであり、図3は図2の接合容量計測処理の前後の概略処理を示すフローチャートである。

【0018】まず、図1について説明する。処理装置1は本発明による探触針の接触状態判定処理及び接合容量の計測処理を実行するもので、この処理装置1にはインピーダンス計測器2、探触針の接触状態判定時及び接合容量の計測時に半導体ウェハの表面に先端が接触可能な電気的接触針を備えたマニピュレータ3、処理の指示やデータなどを入力するためのキーボードなどを備えた入力装置4、計測結果や処理結果をディスプレイに表示する表示装置5、経験または計算により把握した接合9のコンダクタンス対バイアス電圧の関係特性をテーブル化して格納する外部記憶装置6（例えば、磁気ディスク装置、フロッピーディスク装置など）、算出結果をプリントアウトする出力装置7（例えば、ドットプリンタ）の

4

各々が接続されている。

【0019】次に、処理装置1によって実行される図3の処理フローについて説明する。

【0020】まず、仕様、材料、バイアス値、所望接合容量値、製品名などのほか、図6に示した接合9のコンダクタンス対バイアス電圧の関係特性の数値データの形で入力装置4から入力され（ステップ301）、外部記憶装置6に格納される。

【0021】ついで、マニピュレータ3を動作させてインピーダンス計測器2による接合9のコンダクタンスGの計測が行われ、その計測値が外部記憶装置6に格納される（ステップ302）。計測したコンダクタンス対バイアス特性と外部記憶装置6から読み出したコンダクタンス対バイアス電圧特性データとの比較により探触針10の接触性の可否を判定する。

【0022】合の判定がなされた場合には、インピーダンス計測器2で計測したインピーダンスに基づいて演算が行われる（ステップ303）。この演算は、最大、最小、平均について、n個（例えば、バイアス電圧2V～25Vの5点）の演算を行って不純物拡散時間を算出する。この算出結果は、出力装置7よりプリントアウトされ（ステップ304）、同時に算出結果は外部記憶装置6に格納される（ステップ305）。

【0023】次に、図3のステップ302の詳細を示す図2の処理について説明する。

【0024】まず、ノーバイアス状態で計測したコンダクタンス対バイアス特性と外部記憶装置6から読み出したコンダクタンス対バイアス電圧特性データとの比較により探触針10の接触性の可否（予め設定した基準値より小さければ合とみなす）の判定が行われ、合（YES）であれば接合容量計測に備えてバイアスをオンにする。否であればステップ209へ移行する。ステップ202の後、接合容量の計測が開始される（ステップ203）。

【0025】この接合容量計測は、図6で説明したようにして求めることができる。

【0026】ついで、接合容量の変化をチェック（外部記憶装置6に記憶されたデータとの比較により落ち率をチェックする）し（ステップ204）、さらにコンダクタンスGのチェックをし（ステップ205）、合が判定（図9の特性e以外の特性状態）されればバイアス値を変更し（ステップ206）、ステップ202以降の処理を繰り返し実行する。また、設定した数点のバイアス値に対する計測が終了すれば、半導体接合容量計測以外の処理へ移行する（ステップ208）。

【0027】ステップ201、204、205において否（NO）の判定がなされた場合、探触針10の計測面に対するコンタクト回数が設定回数（例えば5回）を超えたか否かを判定し（ステップ209）、設定回数以下であればマニピュレータ3を再度駆動して探触針10に

5

よる再接触を行い（ステップ210）、処理をステップ201へ戻し、移行の処理を繰り返し実行する。

【0028】ステップ209でコンタクト回数が設定回数を超えた場合、その接合9をあきらめ、図4に示すように、隣のチップへ探触針10を移動させ（点線図示の探触針位置）、その移動回数が設定回数（例えば9回）以下か否かをステップ211で判定し、設定回数以上であれば探触針10の異常などが発生しているとみなし、ステップ208へ移行する。

【0029】また、ステップ211で設定回数以下が判定された場合、次のチップへ探触針10を移動させ（ステップ212）、処理をステップ201へ戻し、以降の処理を繰り返し実行する。

【0030】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0031】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0032】すなわち、不純物拡散時間の管理により所望の接合容量の半導体ウェハを得る半導体接合容量計測装置であって、キャパシタンス及びコンダクタンスに関して計算または経験により得られたデータが格納される記憶装置と、探触針及びインピーダンス計測器を用いて前記半導体ウェハの接合容量を計測する容量計測手段と、該手段による計測結果及び前記記憶装置から読み出したデータとの比較により前記探触針の計測面への接触状態の合否を判定し、合のときに接合容量の計測を実行する処理手段とを設けるようにしたので、計測面に対する探触針の接触を確実に行うことができ、高信頼の計測

6

を効率良く行える結果、生産性の向上及び歩留り向上を図ることができる。

【図面の簡単な説明】

【図1】本発明による半導体接合容量計測装置の構成を示す概略構成図である。

【図2】本発明による接合容量計測処理方法を示すフローチャートである。

【図3】図2の接合容量計測処理の前後の概略処理を示すフローチャートである。

【図4】接触不良時の探触針の移動を示す説明図である。

【図5】拡散工程の処理内容を示す説明図である。

【図6】拡散処理の対象となる半導体ウェハを示す断面図である。

【図7】接合容量対不純物拡散時間の関係を示す特性図である。

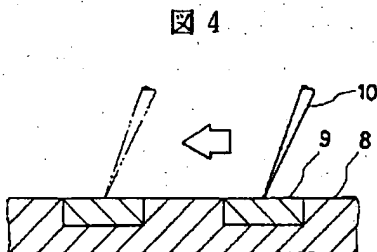
【図8】接合容量とバイアス電圧の関係を示す特性図である。

【図9】コンダクタンスとバイアス電圧の関係を示す特性図である。

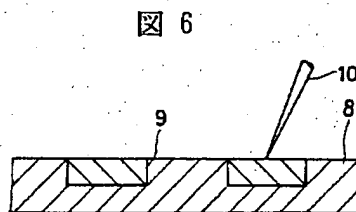
【符号の説明】

- 1 処理装置
- 2 インピーダンス計測器
- 3 マニピュレータ
- 4 入力装置
- 5 表示装置
- 6 外部記憶装置
- 7 出力装置
- 8 半導体ウェハ
- 9 接合
- 10 探触針

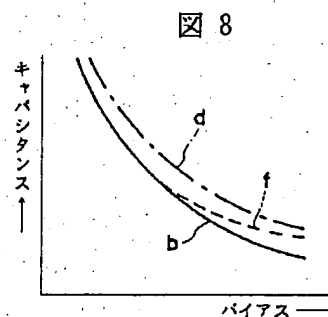
【図4】



【図6】

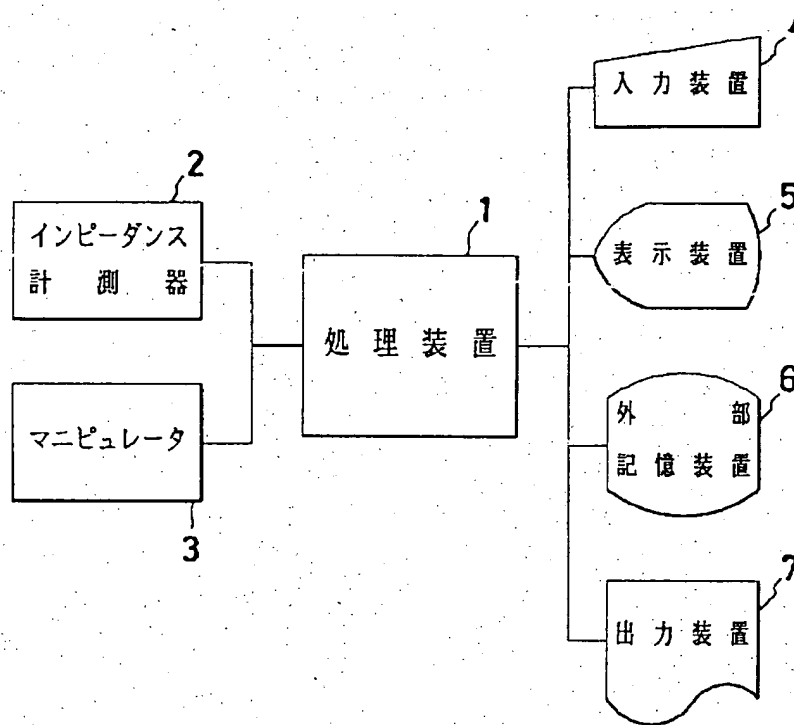


【図8】



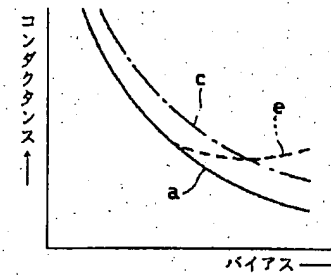
【図1】

図 1



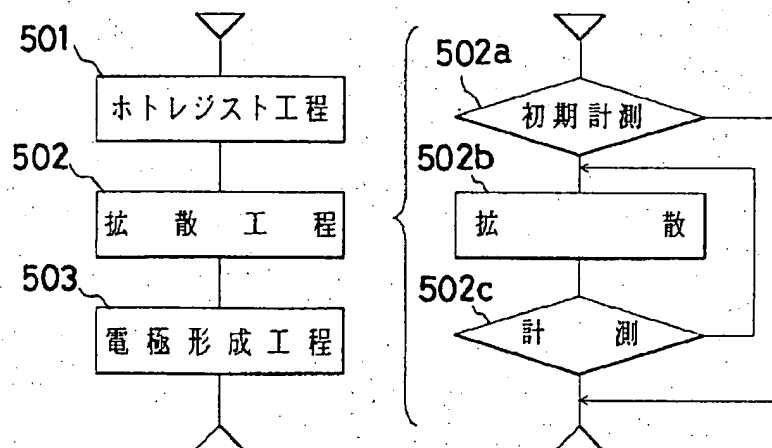
【図9】

図 9



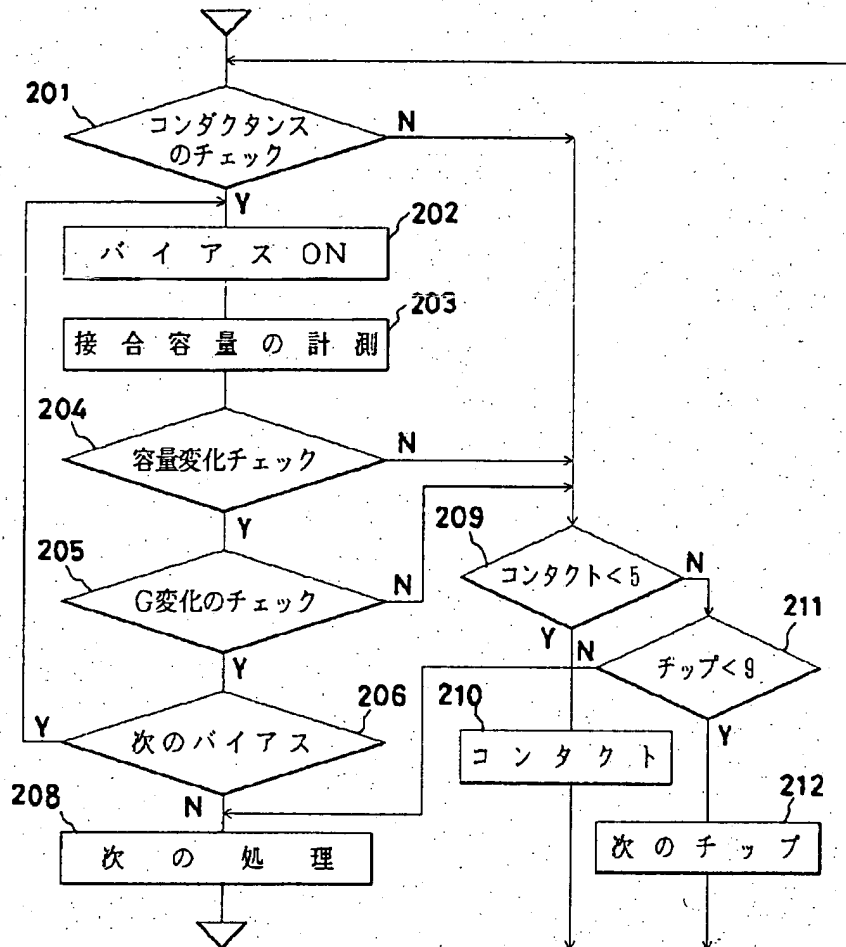
【図5】

図 5



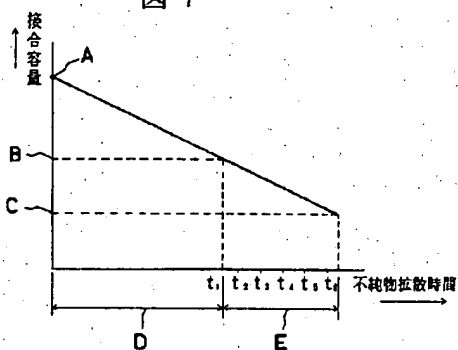
【図2】

図 2



【図7】

図 7



【図3】

図 3

